

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-121404

(43)Date of publication of application : 18.05.1993

(51)Int.Cl.

H01L 21/3205

G25D 7/12

H01L 21/90

(21)Application number : 03-279399

(71)Applicant : NEC CORP

(22)Date of filing : 25.10.1991

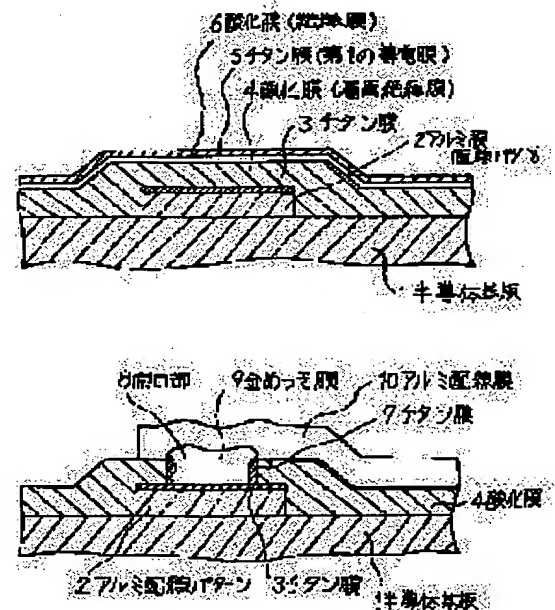
(72)Inventor : KADOTA YASUO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To evenly deposit a metal film in a fine interlayer connection hole in a semiconductor device having a multilayer wiring structure.

CONSTITUTION: The first conductive layer 5 and an insulating film 6 are formed on an interlayer insulating film 4 and then an interlayer connecting hole 8 is formed by selectively removing them. Then, the second conductive film 7 is applied and selectively removed so as to form only the second conductive film 7 on the internal wall of the interlayer connecting hole 8. Further, using the insulating film 6 as a mask, a plating film 9 is formed only in the interlayer connecting hole 8 by applying plating-current through the first and second conductive films. As a result, a metal film is buried in the fine interlayer connecting hole 8.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-121404

(43)公開日 平成5年(1993)5月18日

(51)Int.Cl.<sup>5</sup>

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 21/3205

C 2 5 D 7/12

H 0 1 L 21/90

A 7353-4M

7353-4M

H 0 1 L 21/ 88

B

審査請求 未請求 請求項の数 2 (全 4 頁)

(21)出願番号 特願平3-279399

(22)出願日 平成3年(1991)10月25日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 門田 靖夫

東京都港区芝五丁目7番1号日本電気株式  
会社内

(74)代理人 弁理士 内原 晋

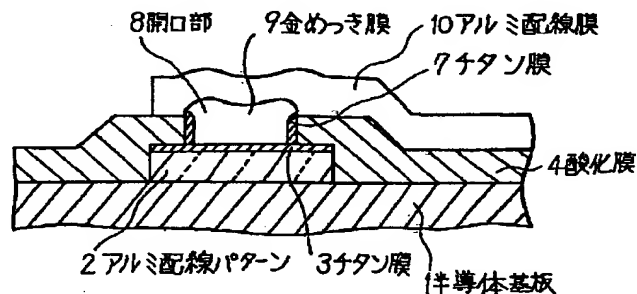
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】多層配線構造を有する半導体装置において、微細な層間接続孔内に金属膜を均一に堆積する方法を提供する。

【構成】層間絶縁膜4上に、第1の導電膜5と絶縁膜6を形成し、各々選択的に除去することで層間接続孔8を形成する。次に、第2の導電膜7を被着し選択的に除去することで層間接続孔8の内壁のみに第2の導電膜7を形成する。次に絶縁膜6をマスクにして、第1及び第2導電膜によって、めっき電流を流すことにより層間接続孔8内にのみ、めっき膜9を形成する。

【効果】微細な層間接続孔内に、金属膜の埋設が可能となる。



## 【特許請求の範囲】

【請求項1】 半導体基板上に第1の配線パターンを形成し、続いて層間絶縁膜、第1の導電膜、絶縁膜を順次形成する工程と、前記第1の配線パターン上に、開口部を形成し、続いて第2の導電膜を被着し、異方性エッチングにより前記開口部の側面にのみ前記第2の導電膜を残存させる工程と、次に前記絶縁膜をマスクとし、第1の導電膜及び第2の導電膜をめっき電流路として、電解めっき膜を前記層間絶縁膜の前記開口部内に選択的に形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記第1の導電膜および絶縁膜を除去した後、前記開口部内の前記電解めっき膜を通して前記第1の配線パターンに接続する第2の配線パターンを前記層間絶縁膜上に形成する工程を有することを特徴とする請求項1に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に係わり、特に多層配線の形成方法に関する。

## 【0002】

【従来の技術】 最近の半導体装置は、高集積化に伴うデバイスの微細化に伴う層間接続孔の開口寸法が縮小されるのに対し層間絶縁膜の厚さは固定せざるをえない為、層間接続孔部の深さと開口寸法の比が大きくなる。このような層間接続孔では孔内に金属膜を均一に堆積することが困難であり、多層配線の微細化の障害となっている。

【0003】 その対策として種々の層間接続孔の埋設方法が提案されている。

【0004】 例えば、製造装置の改善・開発による方法として、IEEE IEDM No.9, 5, 1987, に記載されているタングステンCVD法や、J. Electrochem. Soc. Vol. 123, No. 6, に記載されているバイアススパッタ法などである。又、半導体装置の改善として層間接続孔形状をテーパにすることで層間接続孔部の深さと開口寸法の比を小さくする方法がある。

## 【0005】

【発明が解決しようとする課題】 これらの従来の形成方法は、製造装置に依存している。そのため精算に適用するためには装置の新規開発及び導入が必要である。又、層間接続孔形状をテーパにすることで層間接続孔部の深さと開口寸法の比を小さくする方法では層間接続孔の微細化に限界があり半導体装置の高集積化の障害となっている。

## 【0006】

【課題を解決するための手段】 本発明の半導体装置は、半導体基板上に第1の配線パターンを形成し、続いて層間絶縁膜、第1の導電膜、絶縁膜を順次形成する第一の

工程と、前記第1の配線パターン上に、開口部を形成し、続いて第2の導電膜を被着し、異方性エッチングにより前記開口部の側面にのみに第2の導電膜を残存させる工程と、次に前記絶縁膜をマスクとし、第1の導電膜及び第2の導電膜をめっき電流路として、電解めっき膜を前記層間絶縁膜の前記開口部内に選択的に形成する工程を備えている。

## 【0007】

【実施例】 次に本発明について図面を参照して説明する。

【0008】 図1乃至図6は本発明の第1の実施例を示す工程断面図である。

【0009】 図1：シリコン酸化膜で覆われた半導体基板1上に、アルミ膜2とチタン膜3からなる配線パターンを形成する。ここでの形成方法は通常のスパッター技術で厚さ0.5 $\mu$ mのアルミ膜2、厚さ0.2 $\mu$ mのチタン膜3を被着し、リソグラフィ技術で選択的にエッチングすることで配線パターンが形成される。次に、層間絶縁膜である酸化膜4をCVD法によって堆積形成する。

【0010】 続いてチタン膜5（第1の導電膜）を0.2 $\mu$ mの厚さにスパッター法により全面に被着する。続いて酸化膜6（絶縁膜）をCVD法によって0.2 $\mu$ mの厚さに形成する。

【0011】 図2：次にフォトリソパターン（図せず）をマスクにして、酸化膜6、チタン膜5、酸化膜4を順にエッチング除去することで、開口部8を形成する。

【0012】 図3：フォトリソパターンを除去した後、全面にチタン膜7（第2の導電膜）を0.2 $\mu$ mの厚さで形成する。

【0013】 次に異方性エッチングを行うことで、開口部8の内壁にのみチタン膜7（第2の導電膜）を残存させる。これでチタン膜3とチタン膜5はチタン膜7を介して電氣的に接続される。

【0014】 図4：次にチタン膜3、チタン膜5、チタン膜7をめっき電流路とし、酸化膜6をマスクにして、開口部8内に選択的に金めっき膜9を形成する。めっき電流は半導体基板の裏面から半導体基板を貫通する部分を通してチタン膜5に供給される。金めっき膜9の膜厚は開口部8が埋設されるように設定する。めっき膜と特性として等方的に膜成長する為に開口部8内は金めっき膜9で埋設される。

図5：続いて、酸化膜6をフロン系のプラズマエッチングで全面除去する。更に、露出したチタン膜5も同様に除去する。

【0015】 図6：次に上層膜であるアルミ配線パターン10を形成することで多層配線は形成される。

【0016】 次に、本発明の第2の実施例について説明する。図7乃至図8は本発明の第2の実施例を示す工程

断面図である。

【0017】図7は、前述の実施例による開口部8の埋設が完了した後に、選択的に酸化膜6（絶縁膜）を除去した時の断面図である。これは、上層の配線パターン形成領域に沿ってレジストパターン11を形成し、このレジストパターン11をマスクにしてフロン系のプラズマエッチングによって酸化膜6（絶縁膜）を選択的に除去してチタン膜5（第1の導電膜）の一部を露出させる。次に、図8に示すように、レジストパターン11を除去し、チタン膜5（第1の導電膜）をめっき電流路とし、酸化膜6（絶縁膜）をマスクにして、露出しているチタン膜5上に選択的に上層の配線パターンとなる金めっき膜12を形成する。

【0018】この実施例では、自己整合的に上層の配線パターンが形成されるため寸法の目合せ余裕が小さくでき微細化に効果がある。

【0019】

【発明の効果】以上説明したように、本発明は任意の個所に設けた層間接続孔内に新規に製造装置を開発導入することなく、導電膜を埋設することが可能となり、容易に微細な層間接続孔を有する半導体装置が実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の工程断面図。

【図2】本発明の第1の実施例の工程断面図。

【図3】本発明の第1の実施例の工程断面図。

【図4】本発明の第1の実施例の工程断面図。

【図5】本発明の第1の実施例の工程断面図。

【図6】本発明の第1の実施例の工程断面図。

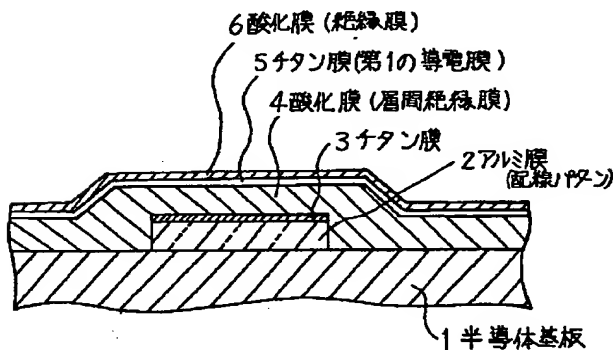
【図7】本発明の第2の実施例の工程断面図。

【図8】本発明の第2の実施例の工程断面図。

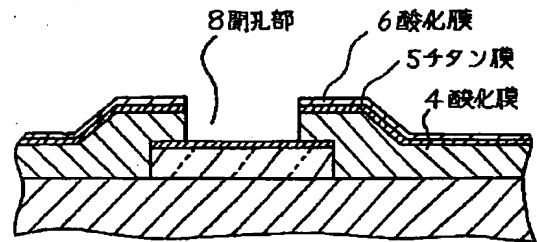
【符号の説明】

- |    |              |
|----|--------------|
| 1  | 半導体基板        |
| 2  | アルミ膜         |
| 3  | チタン膜         |
| 4  | 酸化膜（層間絶縁膜）   |
| 5  | チタン膜（第1の導電膜） |
| 6  | 酸化膜（絶縁膜）     |
| 7  | チタン膜（第2の導電膜） |
| 8  | 開口部          |
| 9  | 金メッキ膜        |
| 10 | アルミ配線膜       |
| 11 | レジストパターン     |
| 12 | 金めっき膜        |

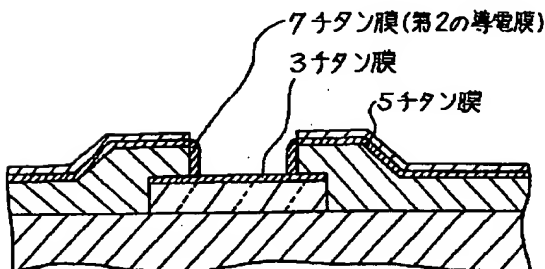
【図1】



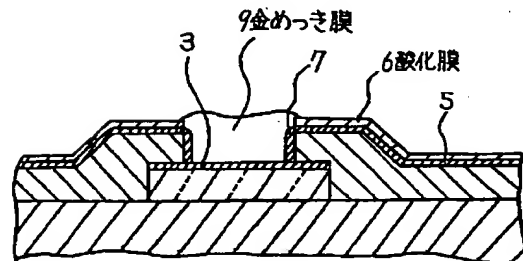
【図2】



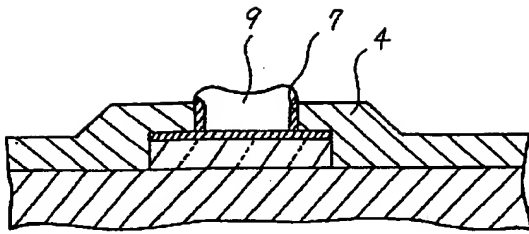
【図3】



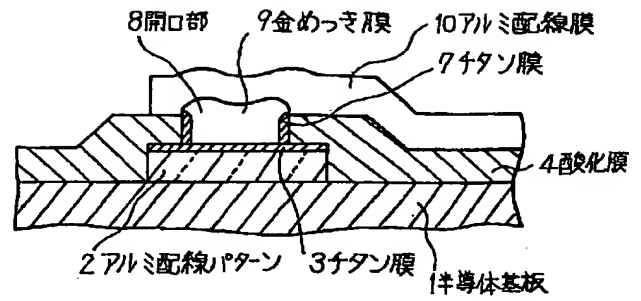
【図4】



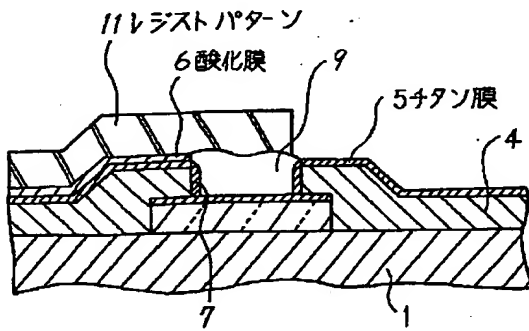
【図5】



【図6】



【図7】



【図8】

